

ABSTRACT

In the process of transferring a clock signal and a plurality of data signals which are in synchronization with the clock signal, a driving pulse width of a driver switch is feedback-controlled by a clock transmission system (12), whereby the clock signal is transmitted at a small amplitude. A control signal having the pulse width is used for controlling the driver switch in each data transmission system (13), whereby transfer of each data signal at a small amplitude is realized at the same time. Further, in a clock reception system (10), the control signal having the pulse width is used in delay control of a clock delay circuit, whereby an optimum latch timing of received data in each data reception system (11) is realized.

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年3月11日 (11.03.2004)

PCT

(10) 国際公開番号
WO 2004/021656 A1

(51) 国際特許分類: H04L 25/02, 25/40, G09G 3/36

(72) 発明者; および

(21) 国際出願番号: PCT/JP2003/010884

(75) 発明者/出願人(米国についてのみ): 道正志郎 (DOSHO,Shiro) [JP/JP]; 〒563-0024 大阪府池田市鉢塚3-3-5-202 Osaka (JP). 德永祐介 (TOKUNAGA,Yusuke) [JP/JP]; 〒567-0875 大阪府茨木市若草町8-7-1 12 Osaka (JP). 土居康之 (DOI,Yasuyuki) [JP/JP]; 〒617-0824 京都府長岡京市天神5-17-1 Kyoto (JP). 中川博文 (NAKAGAWA,Hirofumi) [JP/JP]; 〒612-8487 京都府京都市伏見区羽束師菱川町60-2-203 Kyoto (JP). 伊達義人 (DATE,Yoshito) [JP/JP]; 〒520-0105 滋賀県大津市下阪本6-25-1 7-3 15 Shiga (JP). 大森哲郎 (OHMORI,Tetsuro) [JP/JP]; 〒573-1155 大阪府枚方市招提南町1-3 1-3 Osaka (JP). 西川香 (NISHIKAWA,Kaori) [JP/JP]; 〒557-0055 大阪府大阪市西成区千本南2-6-8-201 Osaka (JP).

(22) 国際出願日: 2003年8月27日 (27.08.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

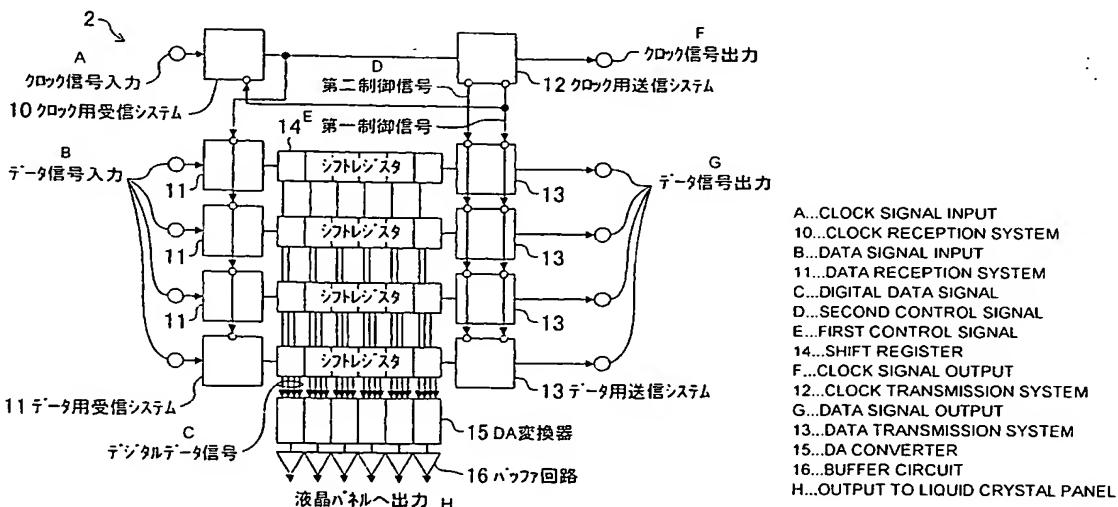
(30) 優先権データ:
特願2002-248086 2002年8月28日 (28.08.2002) JP

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

/続葉有/

(54) Title: DATA TRANSMISSION/RECEPTION SYSTEM

(54) 発明の名称: データ送受信システム



(57) Abstract: When a clock signal and a plurality of data signals synchronized with the clock signal are transferred, a clock transmission system (12) feedback-controls the driver switch drive pulse width so that the clock signal is transmitted with a small amplitude and the control signal of the pulse width is used for controlling the driver switch in each data transmission system (13), thereby simultaneously realizing small amplitude transmission of each data signal. Furthermore, a clock reception system (10) applies the control signal of the aforementioned pulse width to delay control of a clock delay circuit, so as to realize an optimal latch timing of reception data in each data reception system (11).

WO 2004/021656 A1

(57) 要約: クロック信号と該クロック信号に同期した複数のデータ信号とを転送するにあたり、クロック用送信システム (12) にてドライバスイッチの駆動パルス幅をフィードバック制御することでクロック信号を小振幅で送信し、そのパルス幅の制御信号を各データ用送信システム (13) 中のドライバスイッチの制御に用いることで、各データ信号の小振幅伝送をも同時に実現する。更に、クロック用受信システム (10) にて前記パルス幅の制御信号をクロック遅延回路の遅延制御に適用することで、各データ用受信システム (11) における受信データの最適なラッチタイミングを実現する。



(74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒550-0004 大阪府 大阪市 西区 鞆本町 1 丁目 4 番 8 号 本町 中島ビル Osaka (JP).

(81) 指定国(国内): CN, JP, KR, US.

(84) 指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 國際調査報告書
2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。